

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-190672
 (43)Date of publication of application : 05.07.2002

(51)Int.CI. H05K 3/46
 H01L 23/12
 H05K 1/05
 H05K 1/11
 H05K 3/40
 H05K 3/44

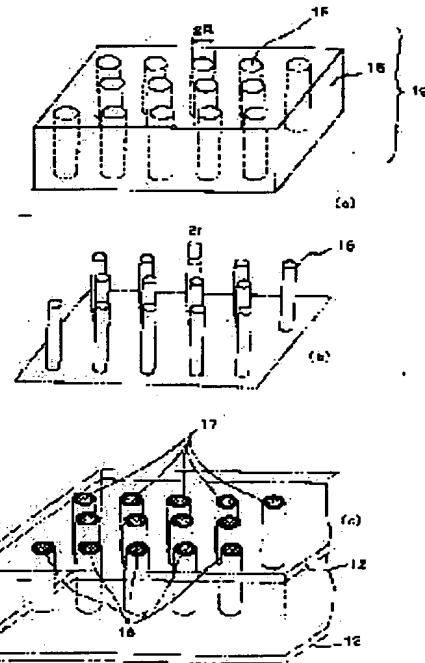
(21)Application number : 2000-386062 (71)Applicant : HITACHI METALS LTD
 (22)Date of filing : 19.12.2000 (72)Inventor : OKIKAWA SUSUMU

(54) BUILD-UP CORE BOARD, BUILD-UP CIRCUIT BOARD AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a board in which thermal and electric conductivity posts are sealed with very small irregularities in shape and size, to enables wiring of a short distance and to increase the operating frequency.

SOLUTION: A method for manufacturing a build-up core board comprises steps of (1) connecting a post forming layer (made of Cu or the like) on one main surface of a barrier layer (made of Ni, Ti, Sn or the like) and a carrier layer (made of Fe-Ni alloy or the like) on another main surface, (2) removing by etching to arrive at the barrier layer, forming a plurality of pattern etched products made to stand at a prescribed pitch of the post (made of Cu or the like), laminating a prepreg, heating and pressing to form a first laminated item, (3) removing the carrier layer from the first laminated item, and (4) obtaining the second laminate by removing the barrier layer, laminating the prepreg, heating and pressing, to manufacture the build-up core board.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-190672

(P2002-190672A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl.⁷
H 0 5 K 3/46

識別記号

F I
H 0 5 K 3/46

マーク*(参考)
U 5 E 3 1 6
B 5 E 3 1 7
N 5 E 3 4 6
S
T

審査請求 未請求 請求項の数10 OL (全 14 頁) 最終頁に続く

(21)出願番号 特願2000-386062(P2000-386062)

(71)出願人 000005083

日立金属株式会社

東京都港区芝浦一丁目2番1号

(22)出願日 平成12年12月19日(2000.12.19)

(72)発明者 沖川 進

東京都港区芝浦一丁目2番1号 日立金属
株式会社内

最終頁に続く

(54)【発明の名称】 ビルドアップコア基板、ビルドアップ配線基板、及びその製造方法

(57)【要約】

【課題】 形状寸法のバラツキが極めて少ない熱・電気伝導性ポストを封入した基板の提供する。また、短距離配線を可能にし動作周波数の高速化に容易に対応できるものを提供する。

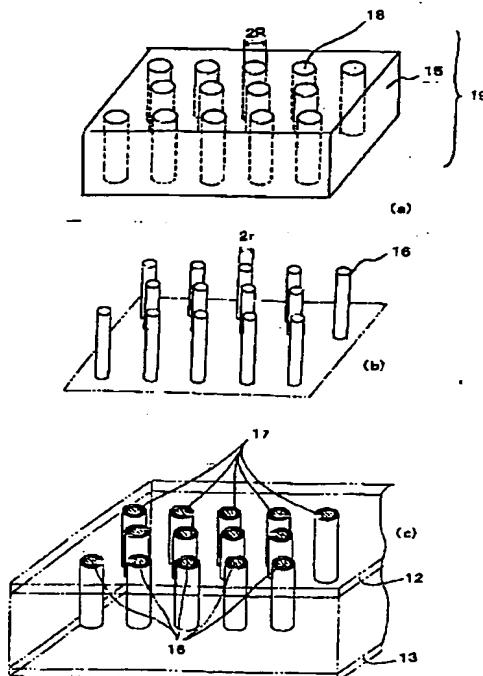
【解決手段】 下記の工程を主要工程とするビルドアップコア基板の製造方法と、それにより可能となったビルドアップコア基板、ビルドアップ配線基板である。

1. バリヤ層(材質はNi, Ti, Sn等)の一方の主面にポスト形成層(材質はCu等)を、他方の主面にキャリヤ層(材質はFe-Ni合金等)を接合。

2. エッチングによりバリヤ層に達するまで除去して、熱・電気伝導性ポスト(材質はCu等)が所定ピッチで複数個、林立するパターンエッチング品を作り、プリフレグを積層し、加熱加圧して第1積層品を作る。

3. 該第1積層品から前記キャリヤ層を除去。

4. 更に前記バリヤ層を除去して第2積層品を得て、プリフレグを積層し、加熱加圧してビルドアップコア基板を製造する。



【特許請求の範囲】

【請求項1】 板厚方向に複数の貫通孔を有する低熱膨張係数の熱・電気伝導性板と、該複数の貫通孔を有する低熱膨張係数の熱・電気伝導性板と異なる材質からなり前記貫通孔内に設けられた島状に孤立した複数の熱・電気伝導性ポストと、該複数の熱・電気伝導性ポストの外周に設けられ、前記低熱膨張係数の熱・電気伝導性板との間に介在して、前記複数の熱・電気伝導性ポストを電気的に絶縁する絶縁材と、前記低熱膨張係数の熱・電気伝導性板の両主面に接合された絶縁板と、前記絶縁板の一方または両方の主面上に設けられた厚み18μm以下の極薄銅箔層からなることを特徴とするビルトアップコア基板。

【請求項2】 前記複数の熱・電気伝導性ポストがCuまたはCu合金であり、前記複数の貫通孔を有する熱・電気伝導性板がFe-Ni合金でなる請求項1記載のビルトアップコア基板。

【請求項3】 前記複数の熱・電気伝導性ポストの直径が、0.01~0.2mm、ピッチが0.1~1.0mmであることを特徴とする請求項1記載のビルトアップコア基板。

【請求項4】 前記絶縁材が、ガラス繊維強化エポキシ樹脂、ガラス繊維強化ビスマレイミド・トリアジン(BT)樹脂、またはポリエーテル・サルファン(PES)配合エポキシ樹脂、ポリイミド樹脂、ポリアミドイミド樹脂のうちのいずれかであることを特徴とする請求項1記載のビルトアップコア基板。

【請求項5】 前記複数の熱・電気伝導性ポストの外周に、絶縁材と孔明き板を具備することを特徴とした請求項1記載のビルトアップコア基板。

【請求項6】 請求項1記載のビルトアップコア基板と、該ビルトアップコア基板の両主面に形成されるビルトアップ層を備えたビルトアップ配線基板。

【請求項7】 下記の工程でなることを特徴とするビルトアップコア基板の製造方法。

(1) バリヤ層の一方の主面にポスト形成層を、他方の主面にキャリヤ層を接合する。

(2) 前記ポスト形成層に、所定の領域を除去するマスクを載置する。

(3) 前記所定の領域を、エッティングにより、前記バリヤ層に達するまで除去して、熱・電気伝導性ポストが複数個、林立する第1のパターンエッティング品を作る

(4) 第1のパターンエッティング品と、孔明き板とを組合せる。

(5) 記第1のパターンエッティング品と前記孔明き板にCuメッキや粗化処理をする。

(6) その後、絶縁板を積層し、加熱加圧して第1積層品を作る。

(7) 該第1積層品から前記キャリヤ層を除去する。

(8) 更に前記バリヤ層を除去して第2積層品を得

る。

(9) 該第2積層品と絶縁板を積層する。

(10) 前記絶縁板の一方または両方の主面上に厚み18μm以下の極薄銅箔層を積層してビルトアップコア基板を製造する。

【請求項8】 下記の工程でなることを特徴とするビルトアップコア基板の製造方法。

(1) バリヤ層の一方の主面にポスト形成層を、他方の主面にキャリヤ層を接合する。

(2) 前記ポスト形成層に、所定の領域を除去するマスクを載置する。

(3) 前記所定の領域を、エッティングにより、前記バリヤ層に達するまで除去して、熱・電気伝導性ポストが複数個、林立する第1のパターンエッティング品を作る。

(4) 該第1のパターンエッティング品と、孔明き板とを組合せて空洞部を有する組立品を得る。

(5) 前記第1のパターンエッティング品と前記孔明き板にCuメッキや粗化処理をする。

(6) 前記空洞部にスクリーンプリント法で樹脂を充填する。

(7) 前記キャリヤ層をエッティング除去する。

(8) 更に前記バリヤ層をエッティング除去する。

(9) 次いで主面両側から絶縁板を積層する。

(10) 前記絶縁板の一方または両方の主面上に厚み18μm以下の極薄銅箔層を設けてビルトアップコア基板を製造する。

【請求項9】 前記極薄銅箔の厚みが5μm以下であることを特徴とする請求項1記載のビルトアップコア基板。

【請求項10】 前記極薄銅箔の厚みが5μm以下であることを特徴とする請求項7または8記載のビルトアップコア基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビルトアップ配線基板のコア基板、及びビルトアップ層を付加し表面に電子部品が実装されて信号伝送が行われるビルトアップ配線基板に係り、特に狭ピッチの半導体パッケージを可能とする形状寸法の偏差が極めて少ないものであり、且つ放熱性に優れ、半導体パッケージの熱膨張係数の階層、傾斜をつけて信頼性を向上したものに関する。

【0002】

【従来の技術】半導体パッケージには多くの機能を兼ね備えることが要求してきた。先ず、小型で高密度(ファインピッチ)配線できること。それに伴う単位面積、単位体積当たりの発熱量の増大による良好な放熱性である。更に半導体チップが処理する信号の高速化にも対応できなくてはならない。また、電子パッケージに対するコストダウン要求は、年々過酷なものになっているから、製造コストの低減も重要である。

【0003】半導体パッケージの高密度化は、配線パターンの幅、または二つの配線パターン間距離を指標とするCD (Critical Dimension) で評価され、年々小さくする努力がなされてきた。配線パターンの幅、または二つの配線パターン間距離は、単に小型化だけでなく伝送線路が長くなることによる伝送信号の遅延など、デバイス性能に与える影響は大きい。

【0004】半導体パッケージの配線パターン形成の従来法には、セミアディティブ法、フルアディティブ法、サブトラクティブ法など多くの製法がある。セミアディティブ法は、(基板のレーザ孔明け) — (樹脂の粗化処理) — (ジンケート処理、即ちZnメッキ) — (レジストのコート形成) — (レジストのエッチングによる選択除去) — (電気銅メッキ) — 配線パターンの完成という工程を経る。ジンケート膜は、最後に除去することが、短絡防止の為に必要である。フルアディティブ法は、(基板のレーザ孔明け) — (粗化処理) — (レジスト形成) — (レジストのエッチングによる選択除去) — (無電解銅メッキ) — 配線パターンの完成という工程を経る。サブトラクティブ法は、(レーザ孔明け) — (粗化処理) — (銅メッキ) — (エッチング) — 配線パターンの完成という工程を経る。以上の様に、従来の製造方法は、多くの複雑な工程を必要としてきた。

【0005】従来の製法を、もう少し詳しく述べる。銅張り基板の所要位置にスルーホールを穴明けしたのち、無電解めっき処理及び銅めっき処理を施して全面に銅めっき層を形成する。その後、全面にフォトレジスト膜を電着により形成したのち、フォトレジスト膜上にインクマスクをスクリーン印刷により形成する。その後、露光処理を行って、インクマスクを介して露出するフォトレジスト膜を硬化させたのち、現像処理してフォトレジスト膜中、光が照射されなかった部分を溶解除去して、配線パターンに準じたレジストパターンを形成する。その後、露出する銅めっき層及びその下層の銅箔をエッチング除去したのち、レジストパターンを剥離して、銅めっき層及び銅箔による所望の配線パターンを形成する。半導体パッケージは、高密度実装の為に三次元実装、多層基板化しており、各層間の電気的接続はスルーホールでなされている。

【0006】半導体素子は、また熱に弱い。そこで、半導体素子の発する熱を効果的に放熱処理することができるとともに、構造を簡素にして安価なコストで製造することができる半導体素子用基板の開発が活発に行われてきた。従来、0.3mm程度のドリルで、複数のスルーホールをピッチ1.27mm程度で穴明け後、Cu等でスルーホールメッキを施して基板の縦方向の導通を取っていた。例えば特開平10-313071号公報には、基板の他方の主面上に放熱パターンを形成し、この放熱パターン上に、配線基板に搭載される際の接合面となる放熱板を接合し、さらに基板の厚さ方向に貫通するよう

に放熱用スルーホールを穿設して放熱用スルーホール内に金属材料を充填し、ペアチップの発する熱を金属材料が充填された放熱用スルーホール及び放熱パターンを介して放熱板に伝導するようにしたものが開示される。

【0007】また、特開平9-199632号公報には、フレキシブル基板において、放熱性に優れ、穴明け加工を容易に行うことができ、かつ、高密度配線が可能な、電子部品搭載用基板を開示する。この特開平9-199632号公報によると、「電気絶縁性のフレキシブルフィルム及び該フレキシブルフィルムの厚み方向に2層以上設けた導体回路よりなる多層基板と、すべてのフレキシブルフィルムを貫通する貫通穴と、該貫通穴を覆うよう多層基板の上面側に設けた放熱金属板と、上記貫通穴と放熱金属板とにより形成される、電子部品を搭載するための搭載用凹部と、多層基板に設けられ導体回路に導通するスルーホールとを有する。フレキシブルフィルムの厚みは、30~200μmであることが好ましい。」

【0008】そして、特開平9-199632号公報の実施例によると、製造方法は次のとおりである。ガラス繊維入りエポキシ系材料からなるフレキシブルフィルムを準備する。フレキシブルフィルムは、厚み0.05mm、幅2.5~15cmの可撓性を有する帯状のフィルムである。このフレキシブルフィルムは、予めロール状に巻回しておき、複数のロール体を形成しておく。次いで、上記ロール体からフレキシブルフィルムを引き出しながら、該フレキシブルフィルムの下面側に、熱可塑性のガラス繊維入りエポキシ系材料からなる絶縁性接着剤を接着する。次いで、パンチング加工により、フレキシブルフィルムの略中央部分に貫通穴を穿設する。次いで、フレキシブルフィルムの下面側に、前記絶縁性接着剤を介して、厚み35mmの銅箔を接着する。そして、スルーホールの内部に、半田を充填する。

【0009】また、近年半導体パッケージ基板は、機器の小型化にともない、パターンはファイン化の一途をたどり、いわゆるビルトアップ配線基板と称し、コア基板の両面に絶縁層を塗布しビルトアップ層を付加してメッキ法によってパターンを形成していく方法が行われている。図11に従来のビルトアップ配線基板の一例を図示する。ビルトアップ配線基板3は、ビルトアップコア基板1と上下のビルトアップ層でなる。ビルトアップコア基板1は、ガラス繊維強化のエポキシ・リジッド材料を用いることが多い。上側ビルトアップ層2aは、配線パターン7、半田ボール5aを経て半導体(Si)チップ4にC4接続される。C4接続とは、controlled collapsible chip connectorの略語で、LSIチップの電気信号と発生する熱をパッドを経て基板へと流れる電気的にも熱的にも有効な伝導路を形成する接続手法である。

【0010】記号4はLSI、CSPなどの半導体素子

である場合もある。アンダーフィル6は、樹脂などで耐湿性および耐衝撃性向上の為に封止する機能がある。下側ビルアップ層2bは、半田ボール5bを経て、外部回路に接続される。コア基板1は、スルーホール8の内壁にCuメッキして穴埋めし、樹脂を充填して平坦化する。上下のビルアップ層は電気的、熱的に接続されている。下側ビルアップ層2bは、通常、ビルアップコア基板1を取り囲んで上下対称にバランスをとって、ビルアップ配線基板3全体として、反り無く平坦度を出す為に設けることが多い。ビルアップ層2a、2bは、1~3層が一般的であり、この層のCuはメッキで形成することが多い。回路パターンはメッキCuをエッチングまたはアディティブ法のメッキで形成される。

【0011】

【発明が解決しようとする課題】従来のビルアップコア基板、ビルアップ配線基板においては種々の課題がある。第1は、半導体チップとの熱膨張係数の大きな差異による信頼性の低下、第2は狭ピッチへの対応困難、第3はビルアップ層の活用度の低下、第4は熱放散性の低下、第5は加工工数と不均一、第6は浮遊容量の発生、第7はスルーホール孔明け工程での問題である。以下、各問題点毎に説明する。

【0012】(1) 半導体チップとの熱膨張係数の大きな差異による信頼性の低下。

FC-BGA (Flip Chip-Ball Grid Array) を構成する半導体チップのSiは熱膨張係数が3.2 (ppm/ $^{\circ}$ C) 程度であるのに対して、PWB (Printed Wire Board) は、材質にもよるが1.7 (ppm/ $^{\circ}$ C) 程度と両者の差は大きい。熱膨張差の影響によりチップとインターポーラーの半田ボール接続が、温度サイクル (-55 $^{\circ}$ C ~ +125 $^{\circ}$ C) 試験により半田ボールの疲労断線が発生する問題があった。

【0013】(2) 狹ピッチへの対応困難。

従来のビルアップコア基板1のスルーホール8は、通常0.3mmのドリルで穴あけするし補強材として入れたガラス繊維が邪魔となって、ピッチを狭くすることは困難で、せいぜい1.27mm程度と粗いものしかできない。従って、年々ピッチの狭くなる半導体チップ4のバンプ、半田ボール5aのピッチとは不整合が大きく、ビルアップ層2aの配線で大きく引き回して、層間結合を所謂スタッガ方式としなければならず、配線長を増大する。このことは、信号の伝送速度を遅らせ、動作周波数が1GHzにも達する現状において、高速化のニーズに反して問題である。ビルアップコア基板での再配線長が長くなり、上側ビルアップ層2aの信号結線を制限する問題もある。

【0014】また、狭ピッチを阻害する要因としてランドの存在がある。従来のビルアップコア基板においては、図11に例示するように、直径0.4~1.25mm程度のランド71が必須であった。従って、ランド間

に配線パターンを設けたい場合、ランドとの短絡防止の為に設けられる配線パターンの数に制約があるという問題もあった。

【0015】(3) ビルアップ層の活用度の低下。
また、下側ビルアップ層2bは、スルーホールの数が少ないので有効利用できないという問題がある。BGA用の半田ボール5bとの接続くらいにしか使えないからである。従来のようにドリルで穿孔する製造方法では、スルーホールの径が大きく、ピッチも大きく、配線の展開がビルアップ配線基板3の上面に偏りがちである。ビルアップコア基板のスルーホールが半導体チップ4のバンプ密度より遥かに低いので、下側ビルアップ層2bのチャンネルを使いこなせないという問題がある。

(4) 热放散性の低下。

また、図11に示す従来のビルアップコア基板1では放熱に関与できるのはスルーホール8の内壁のメッキ層位であり熱放散性に劣るという問題があった。

【0016】(5) 加工工数と不均一。

更に、ビルアップコア基板のCu板をハーフエッチングし、樹脂埋込み後、平面研磨手段によって複数の熱・電気伝導性ポストの端部が露出するまで研磨する方法がある。この場合、露出する熱・電気伝導性ポストと、未露出の熱・電気伝導性ポストとが混在して、バラツキが大きいだけでなく、熱放散性が悪く信頼性と加工性に劣るという問題があった。従来のCu板のエッチングでは、エッチングで形成される孔の形状、深さがばらつくのが通常である。場所によって被エッチング性にバラツキがあるためである。次に、プリプレグをラミネートしてエッチングされた孔をすべて埋め、反転してCu層側を裏面研磨して樹脂にCuの熱・電気伝導性ポストが所定のピッチで複数個、埋め込まれたものを製造する場合には、研磨面をどこで止めるかによって、Cu層の厚さ、絶縁層の厚さが、その都度ばらついてしまうという問題があった。

【0017】図12を用いて、この問題点を詳細に説明する。図12(a)は、従来のCu板のエッチング後の断面形状を示す。エッチング深さのバラッキがあり、理想的な台形からずれた形状である。これに図12(b)に示すように樹脂を充填して、図12(b)のCu板側からエッチングすると、図12(c)に示すようにエッチング残り、樹脂出っ張り、ショート(電気的短絡)が発生する。この為、更に裏面の機械的な研磨が必要となり、余計な工数がかかる上に均一性が悪いという問題があった。これは信号の伝送速度を遅らせる問題となっていた。

【0018】(6) 浮遊容量の発生。

また、半導体素子4の受けパッドは信頼性確保の為、大きくする必要があり、その為に上側ビルアップ層2aと下側ビルアップ層2bのチャンネル静電容量のバラ

ンスが悪くなり、邪魔な浮遊容量を形成する問題もあつた。

(7) スルーホール孔明け工程での問題。

また、ガラス繊維強化エポキシ樹脂基板を用いる場合、スルーホールのドリルによる穴あけはガラス繊維により微細な穴あけが阻害されるのみならず、繊維の破断を来たし、信頼性の低下、後のメッキ工程でのメッキ液の染込みなど、種々の問題もある。また、熱膨張係数を調節するために樹脂にフィラーを添加することが多くなっているが、微小ビア（スルーホール）加工の場合には、このフィラーの粒径自体が妨げになるという問題もある。

【0019】そこで、本発明は、機械的研磨を用いずに熱・電気伝導性ポストと絶縁層の厚みを均一に制御できる新規な製造方法を提供し、その結果、半導体チップとの熱膨張係数の差異を低減して信頼性を向上したビルトアップ配線基板を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明は、前記問題点を解決するため、下記の構成を趣旨とする。なお、括弧()内に、図1～図9で使用した記号を、理解の容易の為に示す。本発明の技術的思想が、図1～図9の実施例に限定されるものではない。なお、ポスト形成層10、熱・電気伝導性ポスト15、孔明き板19は、同じ又は類似したものを、工程に応じて別な記号を用いて使い分けている。例えば、エッチングの説明の時(図1)にはポスト形成層10を、図4のビルトアップコア基板の時には熱・電気伝導性ポスト15を、そして空洞部18を包含する全体を孔明き板19と呼んでいる。同様に、絶縁板を形成するプリプレグ12、13と、充填樹脂14と、絶縁材17とは、例えば図2の積層して加熱加圧するビルトアップコア基板の製造方法の説明ではプリプレグ12、13を、図3のスクリーンプリント法でのビルトアップコア基板の製造方法の説明には充填樹脂14を、出来上がったビルトアップコア基板の構成を機能的に説明する図4では絶縁材17を記号に用いている。

【0021】(1) 板厚方向に複数の貫通孔18を有する低熱膨張係数の熱・電気伝導性板15と、該複数の貫通孔18を有する熱・電気伝導性板15と異なる材質からなり前記貫通孔18内に設けられた島状に孤立した複数の熱・電気伝導性ポスト16と、該複数の熱・電気伝導性ポスト16の外周に設けられ、前記低熱膨張係数の熱・電気伝導性板15との間に介在して、前記複数の熱・電気伝導性ポスト16を電気的に絶縁する絶縁材17と、前記低熱膨張係数の熱・電気伝導性板15の両主面に接合された絶縁板12、13と、前記絶縁板の一方または両方の主面上に設けられた厚み18μm以下の極薄銅箔層21からなることを特徴とするビルトアップコア基板1。なお、熱・電気伝導性ポスト(16)は、下位概念として、メタルポストまたはメタルコアと呼ぶこと

もある。

【0022】(2) 前記複数の熱・電気伝導性ポスト16が、CuまたはCu合金であり、前記複数の貫通孔18を有する低熱膨張係数の熱・電気伝導性板15がFe-Ni合金である(1)記載のビルトアップコア基板(1)である。

(3) 前記複数の熱・電気伝導性ポスト16の直径が、0.01～0.2mm、ピッチが0.1～1.0mmであることを特徴とする(1)記載のビルトアップコア基板(1)である。なお、前記複数の熱・電気伝導性ポスト16の直径のより好ましい下限は、0.04mmである。

【0023】(4) 前記絶縁材17が、ガラス繊維強化エポキシ樹脂、ガラス繊維強化ビスマレイミド・トリアジン(BT)樹脂、またはポリエーテル・サルファン(PES)配合エポキシ樹脂、ポリイミド樹脂、ポリアミドイミド樹脂のうちのいずれかであることを特徴とする(1)記載のビルトアップコア基板1である。

(5) 前記複数の熱・電気伝導性ポスト16の外周に、絶縁材17と孔明き板19を具備することを特徴とした(1)記載のビルトアップコア基板1である。

(6) 前記(1)記載のビルトアップコア基板1と、該ビルトアップコア基板1の主表面に形成されるビルトアップ層2a、2bを備えたビルトアップ配線基板3である。

【0024】(7) 下記の工程でなることを特徴とするビルトアップコア基板(1)の製造方法である。

1. バリヤ層9の一方の主面にポスト形成層10を、他方の主面にキャリヤ層11を接合する。
2. 前記ポスト形成層10に、所定の領域を除去するマスクを載置する。
3. 前記所定の領域を、エッチングにより、前記バリヤ層11に達するまで除去して、熱・電気伝導性ポスト16が複数個、林立する第1のパターンエッチング品を作る。
4. 該第1のパターンエッチング品と、孔明き板19とを組合せる。
5. 該第1のパターンエッチング品と孔明き板19に粗化処理をする。
6. その後、絶縁板12を積層し、加熱加圧して第1積層品を作る。
7. 該第1積層品から前記キャリヤ層11を除去する。
8. 更に前記バリヤ層9を除去して第2積層品を得る。
9. 該第2積層品と絶縁板13を積層する。

10. 前記絶縁板12、13の一方または両方の主面上に厚み18μm以下の極薄銅箔層を積層してビルトアップコア基板を製造する。なお、上記のバリヤ層(9)、ポスト形成層(10)、キャリヤ層(11)、熱・電気伝導性ポスト(16)、孔明き板(19)の好ましい材質は、各々、バリヤ層(9)はNi、Ti、Snなど、

ポスト形成層(10)はCu、キャリヤ層(11)はFe-Ni合金、熱・電気伝導性ポスト(16)はCu、孔明き板(19)はFe-Ni合金である。

【0025】(8) 下記の工程でなることを特徴とするビルドアップコア基板1の製造方法である。

1. バリヤ層9の一方の主面にポスト形成層10を、他方の主面にキャリヤ層11を接合する。
2. 前記ポスト形成層10に、所定の領域を除去するマスクを載置する。
3. 前記所定の領域を、エッチングにより、前記バリヤ層9に達するまで除去して、熱・電気伝導性ポスト16が複数個、林立する第1のパターンエッチング品を作る。
4. 該第1のパターンエッチング品と、孔明き板とを組合せて空洞部を有する組立品を得る。
5. 前記第1のパターンエッチング品と前記孔明き板に粗化処理をする。
6. 前記空洞部にスクリーンプリント法で樹脂を充填する。
7. 前記キャリヤ層をエッチング除去する。
8. 更に前記バリヤ層をエッチング除去する。
9. 次いで主面両側から絶縁板を積層する。
10. 前記絶縁板の一方または両方の主面上に厚み18μm以下の極薄銅箔層を積層してビルドアップコア基板を製造する。なお、上記のバリヤ層9、ポスト形成層10、キャリヤ層11、熱・電気伝導性ポスト16、孔明き板19の好ましい材質は、各々、バリヤ層9はNi、Ti、Snなど、ポスト形成層10はCu、キャリヤ層11はFe-Ni合金、熱・電気伝導性ポスト16はCu、孔明き板19はFe-Ni合金である。

【0026】(9) 前記極薄銅箔の厚みが5μm以下であることを特徴とする(1)記載のビルドアップコア基板である。

(10) 前記極薄銅箔の厚みが5μm以下であることを特徴とする(7)または(8)記載のビルドアップコア基板の製造方法である。

【0027】

【発明の実施の形態】本発明においては、熱・電気伝導性ポスト16はCu、孔明き板19はFe-Ni合金で構成したので、Cuの良好な熱・電気伝導性を活かしつつ、低熱膨張係数のFe-Ni孔明き板19でインテーポーラーの全体的な熱膨張係数を6~12 ppm/°Cとなるように制御できるので、従来の問題点であった半田ボールの温度サイクルによる疲労断線が5~10倍改善されると共に放熱性も良好であるという顕著な効果がある。更に、ビルドアップコア基板1が最外層に厚み18μm以下、より好ましくは5μm以下、という極薄銅箔層を設けたので、狭ピッチ(ファインピッチとも呼ばれる)の配線パターンをエッチングなどで精度良く容易に形成できる。以下、図面を用いて本発明に係るビルドア

ップコア基板の製造方法を説明する。

【0028】図1は本発明に係るビルドアップコア基板のパターンエッチング組立品を示す図である。図1(a)はエッチングに使うマスクの平面図を示す。このマスクは、複数の熱・電気伝導性ポスト16を、ポスト形成層10からエッチング除去するのに使用する。ポスト形成層10の材質は、熱及び電気伝導性の良好な材質、例えばCuまたはCu合金が好ましい。図1(b)はA-A矢視断面図であり、バリヤ層9の両主面に接合されたポスト形成層10とFe-Ni合金のキャリヤ層11のうち、ポスト形成層10が複数の熱・電気伝導性ポスト16を残してエッチング除去された状態を示す。これに、熱膨張係数の小さいFe-Ni合金である孔明き板19(図1(c))を組合せて、図1(d)に示す組立品を製造する。

【0029】本発明におけるポスト形成層10の材質として好適なのは、熱及び電気の良好な導体であるCuまたはその合金である。Cuは、無酸素銅線(OFC: OxygenFree Copper)、電解銅などを用いることができるが、バリヤ層9と接着ではなく拡散接合などの冶金学的接合を用いる場合には、例えばSnを添加して耐熱性を改良したものが好ましい。バリヤ層9の材質は、Ti、Sn、Niなどが適当である。バリヤ層9の両面にエボキシ樹脂等でポスト形成層10とFe-Ni合金のキャリヤ層11を接合する。あるいは冶金学的な拡散接合に依ってよい。また、本発明は図1に例示する所定のピッチで設けなければならない限定も無く、円柱状である限定もない。必要に応じて不均一ピッチ、非円柱形状の熱・電気伝導性ポスト16を形成することもできる。

【0030】本発明においては、従来のようにドリルを用いるのではないから、ピッチを従来の1.27mm程度に比べて狭ピッチの1.0mm以下にすることが可能である。本発明において、このピッチの下限は、エッチング技術の進歩に伴って、年々下がっており、現状では0.1mm程度までは可能である。今後、この下限はもっと下がることは言うまでもない。

【0031】そして、エッチングにより前記同心円状に前記ポスト形成層10を、同心円状に前記バリヤ層9に達するまで除去して、複数個の熱・電気伝導性ポスト16が所定ピッチで林立するパターンエッチング品(図1(b))を作る。図4に複数個の熱・電気伝導性ポスト16がガラス繊維強化エボキシ樹脂などのプリプレグ12に封入された断面斜視図を示す。本発明のビルドアップコア基板1を用いると、図9に図示したように、熱は、複数個の熱・電気伝導性ポスト16の縦方向のみならず、隣接した他の熱・電気伝導性ポストへリレー式に伝達され、放熱される。

【0032】化学エッチング液としては、バリヤ層9がTiの場合には、エチレンジアミン系のエンストリップTL-142(メルテックス社製、商品名)濃縮液を用

いる。その他、バリヤ層9の材質に応じて、メテックS C B (マクダーミッド社製商品名)等の市販の溶液や、硝酸と過酸化水素の混合物、クロム酸と硫酸の混酸などが使える。

【0033】本発明においては、前記バリヤ層9をエッティング・ストップ層として機能させてるので、高さの不均一が無く精密に制御された複数の熱・電気伝導性ポスト16のアレイを得ることができる。更に、余計な機械的研磨も不要である。本発明によると、優れたエッティング性を有し、配線部のコーナー部を顕微鏡で観察した結果も、理想的な形状にエッティングされていることを確認した。

【0034】本発明の高さの不均一が無いという特徴は重要である。それは基板を電子回路に用いる場合のマイクロストリップ線路の特性インピーダンスで理解できる。特性インピーダンスは、材料の透磁率、誘電率を一定とした場合、自然対数 \ln で表す \ln ($4h/(0.536w+0.67t)$)なる値に比例することが、多くの教科書、例えば中沢喜三郎他著「VLSIシステム設計」で知られている。ここで、記号 h は絶縁層厚、記号 w は配線幅、記号 t は配線厚である。この関係式から、インピーダンス制御のために絶縁層および導体層の各厚さ制御が重要であることが分かる。特性インピーダンスが一定下(例えば 50Ω)では、配線幅が狭くなると絶縁厚も薄くなり、その公差も小さくなる。また、幅、厚さについての管理がより厳しくなる。すなわち、動作周波数が 1GHz にもなろうとする高速化時代には絶縁層および導体層の各厚さ制御が重要である。

【0035】次に、図2を用いて本発明に係るビルドアップコア基板の製造方法の説明を続ける。図1(d)で示す組立品を、図2(a)に示すように、ガラス繊維強化エポキシ樹脂などのプリプレグ12を積層し加熱加圧して第1積層品(図2(a))を作り、該第1積層品から前記キャリヤ層11を塩化第二鉄溶液により除去する。前記キャリヤ層11は、その剛性によりハンドリング性を向上する。

【0036】組立品(図1(d))と絶縁板として用いるプリプレグ12との接着力を向上するために、組立品(図1(d))の金属面を粗化処理することが好ましい。粗化処理の方法は、特に限定されないが、メッキで瘤状の微小突起を形成したり、機械的に研磨したりして金属面とエポキシ樹脂間の接着力の向上を図る。

【0037】プリプレグの材質としては、ガラス繊維強化エポキシ樹脂のほかに、ガラス繊維強化ビスマリミド・トリアジン(BT:bismallimide triazene)樹脂、またはポリエーテル・サルファン(PES:poly-ether sulphone)配合エポキシ樹脂、ポリイミド樹脂、ポリアミドイミド樹脂、RCC(樹脂付き銅箔(Resin Coated Copper))等が好適である。

【0038】その他、未硬化ないしは半硬化したプリプ

レグとしては、ガラス布、ガラス单繊維、紙等の強化基材に、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、あるいはこれらの混合物等と、それぞれの樹脂の硬化剤を含浸させたもの、あるいは、加熱して半硬化状(B-ステージ)にしたもののが使用できる。この樹脂としては、弗素樹脂のように熱可塑性の樹脂をも用いることができる。なお、本発明において絶縁層12、13の形成は、プリプレグ(硬化剤を添加した樹脂、顔料、離型剤などを予め混合したものを強化繊維にさせ、半硬化状態にした成型材料)に限定されない。塗布、ホットメルトなど公知の方法で樹脂などの絶縁層を形成すれば良い。

【0039】なお、近年、半田の鉛フリー化が急速に進展している。鉛フリー化によるリフロー炉の温度上昇等から、基材、ビルドアップ層のより高Tg(ガラス化温度)化が求められている。本発明のビルドアップコア基板、ビルドアップ層についても係る考慮も必要である。

【0040】更に前記バリヤ層9をエンストリップTL-142濃縮液などで除去して第2積層品(図2(c))を得て、該第2積層品とプリプレグ13を積層し、加熱加圧してビルドアップコア基板(図2(d))を得る。ここで、前記バリヤ層の材質はTi、Sn、Niまたはそれらの合金、前記ポスト形成層の材質はCuまたはその合金、前記キャリヤ層の材質はCuまたはその合金が好適である。本発明では、バリヤ層9を正確なエッティング深さのコントロール手段として用いることができる。

【0041】さて、図2(d)に示す熱・電気伝導性ポスト16の外周に樹脂などの絶縁層10、その外周を孔明きのポスト形成層10を設けたビルドアップコア基板の部分品が出来上がった。次に、図2(e)に示す $35\mu\text{m}$ 程度のキャリヤ銅箔211に、粘着性の剥離層212を介して、 $3\sim5\mu\text{m}$ 程度の極薄銅箔21が設けられた部材を用意する。図2(d)で示す部分品に、図2(e)で示す部材によって最外層に銅箔層21を設ける。なお、部材(図2(e))の剥離層21は必ずしも粘着性のものに限定されず、後で除去できるものであれば本発明の技術的思想にとって、何ら妨げとなるものではない。なお、図2に示す製造方法例では、図2(e)のような部材を用いたが、本発明は、それに限定されるものではなく、極薄銅箔層21は、電解または無電解メッキ、蒸着等々、公知の方法を適宜用いることができる。図2(e)のような部材を用いる場合には、極薄銅箔の形成が容易である。

【0042】図3を用いて本発明に係るビルドアップコア基板の別の製造方法を説明する。熱・電気伝導性ポスト16が複数個、林立する組立品(図1(d))を作る工程までは、図2で説明した工程が利用できる。次いで、前記組立品(図3(a))の空洞部18にスクリーンプリント法で、加熱して半硬化状の樹脂14を充填す

る(図3(b))。そして、前記キャリヤ層11をエッチング除去する(図3(c))。更に前記バリヤ層9をエッチング除去し(図3(d))、主面両側からプリプレグ12、13を積層し、加熱加圧してビルドアップコア基板を得る(図3(e))。

【0043】図4に、本発明に係るビルドアップコア基板1の、外周銅箔層21及びプリプレグ層12、13を取り除いた部分品の部分断面斜視図を示す。複数の林立するCuなどの熱・電気伝導性ポスト16の外周を、絶縁材17が取り巻き、Fe-Niなどの低熱膨張係数の孔明き板19がその外周に設けられる。本発明に係るビルドアップコア基板1の用途は、図5に例示するように、このビルドアップコア基板1の上下にビルドアップ層2a、2bを付加したビルドアップ配線基板3などである。一般にビルドアップ配線基板とは、たとえばベース部分をガラスエポキシ積層板とし、ベースの表面を接続するスルーホールはエポキシ樹脂により埋められているものや、表面実装をビルドアップしたもの、あるいは前記のビルドアップ配線基板と表面実装とを組合せたものと言う。これらのビルドアップ層2a上面及びビルドアップ層2b下面には、それぞれ配線導体層が形成される。ビルドアップ層の数は、1層に限定されず複数層であることが多い。

【0044】本発明のビルドアップコア基板1をビルドアップ配線基板として使用する際、封入された熱・電気伝導性ポストを例えば、レーザで開口して選択使用する。それにより極めて高精度に熱・電気伝導性ポストを形成できる。この熱・電気伝導性ポストはサーマルビアとして機能し、サーマルビアを介して熱を効率よく伝達する構成となる。

【0045】ビルドアップコア基板(1)にビルドアップ層(2a、2b)を付加した図5に例示するビルドアップ配線基板の製造は、特に限定されるものではなく前述の製造方法を適宜組合せれば良い。例えば、ビルドアップコア基板(1)に回路パターンがパターンエッチングされた金属箔と、ビルドアップコア基板(1)と、プリプレグを重ねて加圧・加熱すれば良い。図6に示す、より複雑なビルドアップ配線基板を製造することも容易である。

【0046】図6に示すビルドアップコア基板3の製造方法を、図7及び図8を用いて説明する。図7(a)はバリヤ層9の一方の面に複数の林立したCuなどの熱・電気伝導性ポスト16を、図7(b)はプリプレグ12を、図7(c)は0.4mmピッチで直径0.3mmの穴が明けられたFe-Ni合金などの孔明き板19で、例えばパターンエッチングで製造したものと示す。これらの熱・電気伝導性ポスト16、プリプレグ12、パターンエッチング品20を、図7(d)に示すように、積層して、加熱された押板で加圧してラミネート品を製造する。

【0047】図8(a)は、図7(d)で製造されたラミネート品を、反転した状態で示した図である。このFe-Ni合金のキャリヤ層11と、次いでTiバリヤ層9の一部を、図8(b)に示すようにエッチング除去する。次にこれを、図8(c)に示すプリプレグ13と積層して、加熱加圧して図8(d)に示すラミネート品、即ちビルドアップコア基板1が得られる。

【0048】熱膨張係数は、42アロイが4.2ppmに対してCuは16ppmと大きいが、本発明のビルドアップコア基板では、例えば図4に模式図を示すようにCu等の熱・電気伝導性ポスト16に比べて、42アロイ等の孔明き板19の占める割合が圧倒的に多い。従って、全体としてのビルドアップコア基板の熱膨張係数は、42アロイに極めて近く低いものとなる。

【0049】Fe-Ni系合金は、低熱膨張特性を付与する目的で用いるため、300°C~300°Cにおける平均熱膨張係数を4~6ppm/°Cの範囲の合金薄板を配置することが望ましい。具体的に使用するFe-Ni系合金としてはFe-42%Ni合金、Fe-36%Ni合金のいわゆるインバー合金、Fe-31%Ni-5%C合金のいわゆるスーパーインバー合金、Fe-29%Ni-17%C合金等のNi30~60%、残部FeあるいはNiの一部をCoで置換したものを基本元素とするものが使用できる。このうち、例えばシリコンチップの上面に形成するには、シリコンチップ4の平均熱膨張係数に近似するFe-36%Ni合金やFe-31%Ni-5%C合金を用いることが望ましい。

【0050】従来、接続信頼性を大きく阻害していた要因として、シリコンチップと、基板又はインターポーラ(熱膨張係数16ppm/°C程度)との差に起因した半田ボール部の断線の問題がある。この問題に対して、基板の基材を低熱膨張化すると同時に、放熱特性を付与できる本発明によると、シリコンチップで発生した熱を複数の熱・電気伝導性ポスト16を介して、基板の下面方向及び水平方向へ拡散してやることができる。なお、熱・電気伝導性ポストは導電性ポストとも呼ばれる。

【0051】本発明で孔明き板19にFe-Ni合金を用いる場合には、半導体チップ4とビルドアップ配線基板3との間には、良好な熱膨張係数の傾斜、階層を得ることができ、ヒート・サイクル、ヒート・ショック等によるクラックなどによる信頼性低下を大幅に改善できる。図5に示す実施例では、半導体チップ4を搭載するビルドアップ配線基板3、ビルドアップ配線基板3を搭載するプリント配線板PWB(図示せず)の熱膨張係数は、各々、3.2ppm/°C、8~10ppm/°C、17ppm/°Cと、良好な熱膨張係数の傾斜、階層を示している。

【0052】図6に例示するビルドアップ配線基板においては、図中にVcc、Vssと示すように、電源電圧層、アース層と回路構成に合わせて使い分けることが可

能となる。本発明によると、簡単にこのような構成を可能とするため、チップのクロック周波数の増大により電圧変動が生じやすくなっている現状において、安定した電圧の供給と併せ、安定したアース（接地、グランドとも呼ばれる）を可能とする。なお、図6では2層に重畠された孔明き板19の例を示したが、本発明によると何層でも容易に製造できる。

【0053】図2と図3を用いて本発明に係るビルドアップコア基板の製造方法の一例を示したが、本発明はそれに限定されるものではなく、リールに巻かれた金属箔、樹脂フィルムを用いてローラによって連続的にリール・ツー・リール（reel-to-reel）工法でホトエッチングやラミネート工程までを連続的に処理することができる。図10に一例を示す。図10（a）はリールに巻き取られた状態を示し、その部分拡大図を図10（b）及び図10（c）に示す。これは、例えば図2（d）に対応する。このようなリール形状にした場合には、ハンドリング性が格段に向かって、電子パッケージの自動生産が容易化する利点がある。

【0054】本発明によると、熱・電気伝導性ポストを複数個設けたインターポーラーが容易に得られ、基板をエッチングすることにより熱・電気伝導性ポストとして絶縁基板より隔離された島状の熱・電気伝導性ポスト部分が形成される。本発明の基板は優れたエッチング性を有する導体板を用いるため、狭ピッチの高密度配線に好適であることから、従来のビルドアップの積層枚数を少なくできる。そのため、本発明の基板を用いれば、基板そのものの配線密度を高めることができ、本発明の基板を積層したビルドアップ配線基板や、たとえばフリップチップ実装、Wafer Level CSP等に特に有効である。また、ビルドアップ層の層数の低減は、コストダウンに直結する。

【0055】また本発明は、ビルドアップ配線基板を用いて半導体装置とすることができます。本発明の半導体装置としては、特に限定されるものではないが、半導体チップからの信号を外部に導く半田ボールを介し、フリップチップ実装とし、さらにプリント基板が複数枚積層されたビルドアップ配線基板に信号が伝達される半導体装置とすることができます。狭ピッチに好適なエッチング性に優れた導体板を用いることから、ビルドアップ配線基板に直接実装する半導体装置に特に好適である。

【0056】また、本発明においては、狭ピッチの高密度配線に好適であることから、本発明の基板を用いれば、配線密度を高めることができます。従来のビルドアップの積層枚数を少なくできる。以上、本発明において、バリヤ層（9）、ポスト形成層（10）、キャリヤ層（11）、熱・電気伝導性ポスト（16）、孔明き板（19）の好ましい材質は、各々、バリヤ層（9）はNi, Ti, Snなど、ポスト形成層（10）はCu、キャリヤ層（11）はFe-Ni合金、熱・電気伝導性板

（15）はFe-Ni合金、熱・電気伝導性ポスト（16）はCu、孔明き板（19）はFe-Ni合金であるが、等価な作用効果を有するものであれば、本発明の技術的思想が適用できる。

【0057】本発明に係るビルドアップコア基板は、外層の絶縁層12に更に銅箔21を貼付ける。貼付けには、キャリヤ銅箔層211（用済後、剥離除去する）と極薄銅箔21との間に有機系などの剥離層212を有する複合銅箔を用いると良い。以下に、その製造方法を概説する。キャリヤ銅箔層211として、厚さ35μmの電解銅箔を用いる。このような電解銅箔は粗面（マット面）および平滑（光沢）面を有している。その光沢面側に、以下のようにして、有機系剥離層を形成し、次いで1次銅電着、2次銅電着、粗化処理及び防錆処理を行う。

【0058】（イ）剥離層形成

35μmの銅箔を、30℃のカルボキシベンゾトリアゾール（CBTA）2g/L溶液に30秒間浸漬した後に取り出し、脱イオン水中で水洗いしてCBTAの有機系剥離層を形成する。得られた有機系剥離層の厚さをSIM（走査型イオン顕微鏡）で得られた像から測定したところ、60Åであった。

【0059】（ロ）1次銅電着

形成された有機系剥離層の表面に、銅17g/L、ピロリン酸カリウム500g/Lを含む、pH8.5のピロリン酸銅電着浴を用いて、浴温50℃、電流密度3A/dm²で陰極電解し、厚さ1μmの銅を析出させた。

（ハ）2次銅電着

形成された極薄銅箔の表面を水洗し、銅80g/Lおよび硫酸150g/Lを含む硫酸銅電着浴を用いて、浴温50℃、電流密度60A/dm²で陰極電解し、5μmの銅を析出させ、全体で6μmの極薄銅箔層とする。

【0060】（ニ）粗化処理

このように形成された極薄銅箔層の表面に粗化処理を施す。電流密度を上昇させて極薄銅箔表面に導電性銅微粒子群を形成する。

（ホ）防錆処理

粗化処理が施された極薄銅箔層の表面に電着により亜鉛クロメートの防錆処理を施し、複合銅箔を得る。

【0061】極薄銅箔層の形成には「転写法」を用いることができる。その概略を以下、説明する。キャリヤ材としての電解銅箔をカソードとして、バリア材としてのNiメッキ層を形成した後、配線部形成材として硫酸銅メッキを施し、三層の転写法用箔材を用意する。次に、ドライフィルムレジストをラミネートし、露光、現像によって所望のするレジストパターンを形成し、配線部形成材を選択エッチし、配線形成材上に残留するレジストを水酸化カリウム溶液を用いてレジストを剥離する。

【0062】次に、上記の工程によって得られた転写法用箔材を金型にセットし、ガラスエポキシ樹脂へ銅配線

パターン側を転写し、キャリヤ材及びバリア材を選択エッチし、転写された銅配線パターンのみを残留させることができるものであり、配線幅 $50\mu m$ 以下、配線間距離 $50\mu m$ 以下の狭ピッチの配線を形成するのに適した方法と言える。転写法による極薄銅箔の厚みは $5\sim18\mu m$ 程度である。従って、本発明に用いる銅箔は、転写法による場合は $18\mu m$ 以下であり、前述の剥離層つきの複合銅箔を用いる場合には $5\mu m$ 以下にすることができる。

【0063】本発明に係るビルドアップコア基板は、最外周層 2.1 に極薄銅箔層を具備する。従って、ファインピッチのエッチングパターンが容易に形成できるので、半導体パッケージの小型化、高密度化効果は大きい。また、従来の様に、レーザ孔明けに際にレーザ光線の反射を防止のための黒化処理が不要である。銅箔が極めて薄いためレーザ光線が容易に銅箔を透過できるからである。

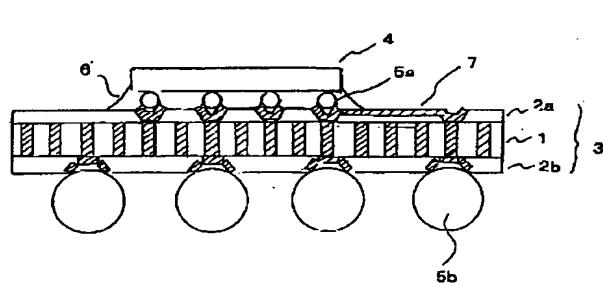
【0064】

【発明の効果】バリヤ層を用いたエッチング法によるので、形状寸法のバラツキが極めて少ない熱・電気伝導性ポストを封入した基板が得られる。また、短距離配線を可能にするので、動作周波数の高速化に容易に対応できる。また、本発明によると、メタルコアを使用しているので、寸法安定性に優れ、薄くても剛性が高いのでハンドリング性も良い上に、微細で固体（ソリッド）の熱・電気伝導性ポストを利用するので、従来のようにコアー基板のドリルやレーザによるスルーホールの穴あけ工程が不要である。スルーホールの穴内面のメッキも不要である。また、高密度に製造可能なのでビルドアップ層の上下両面が有効に使えるので、層数の減少によるコストダウンも可能である。

【図面の簡単な説明】

【図1】本発明に係るビルドアップコア基板のパターン

【図5】



エッチング品を示す図である。

【図2】本発明に係るビルドアップコア基板の一製造方法を示す図である。

【図3】本発明に係るビルドアップコア基板の別の製造方法を示す図である。

【図4】本発明に係るビルドアップコア基板の斜視・部分断面図である。

【図5】本発明に係るビルドアップ配線基板の図である。

【図6】本発明に係る別のビルドアップ配線基板の図である。

【図7】図6に示すビルドアップコア基板の製造工程の一部を示す図である。

【図8】図6に示すビルドアップコア基板の製造工程の残部を示す図である。

【図9】本発明に係るビルドアップ配線基板の放熱の状況を示す模式図である。

【図10】本発明に係るビルドアップコア基板の更に別の製造方法を示す図である。

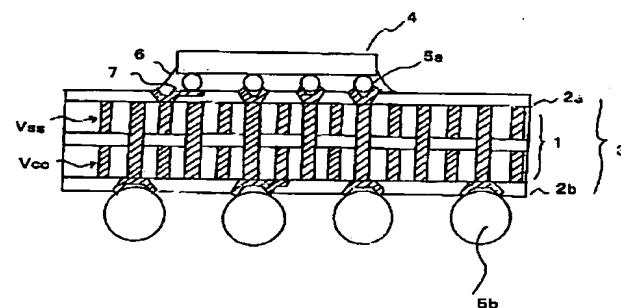
【図11】従来のビルドアップ配線基板を示す図である。

【図12】従来のエッチング方法の問題点を説明する図である。

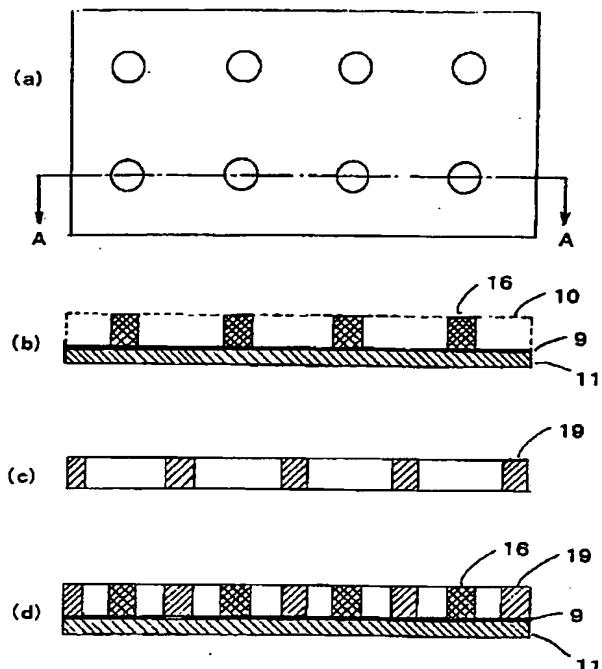
【符号の説明】

1. ビルドアップコア基板、2a. 側ビルドアップ層、
2b. 下側ビルドアップ層、ビルドアップ配線基板、
4. 半導体チップ、5a、5b. 半田ボール、6. アンダーフィル、7. 配線パターン、8. スルーホール、9. バリヤ層、10. ポスト形成層、11. キャリヤ層、12. 13. 絶縁板、14. 充填樹脂、15. 热・電気伝導性板、16. 热・電気伝導性ポスト、17. 絶縁材、
18. 空洞部、19. 孔明き板

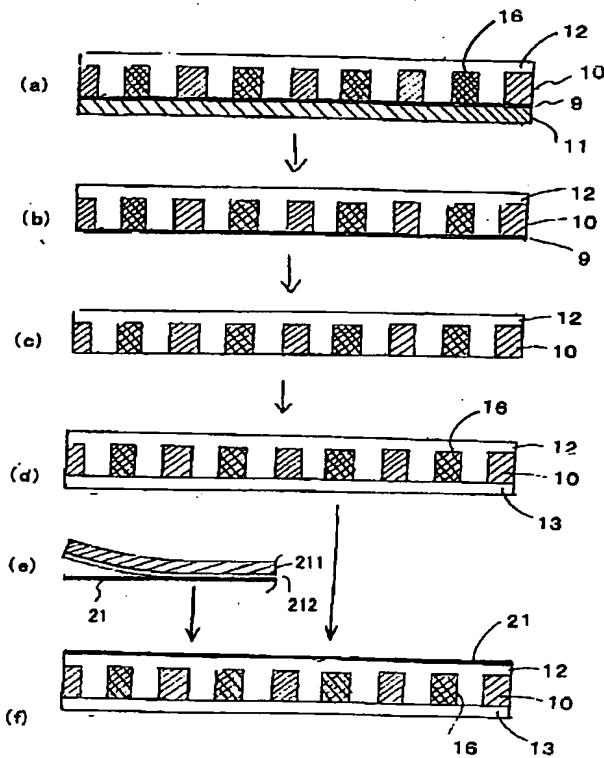
【図6】



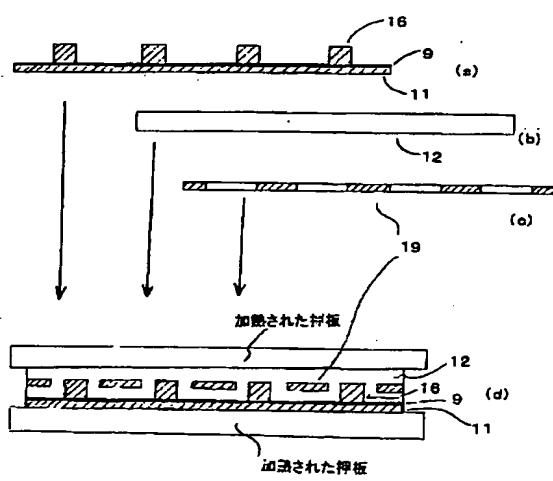
【図1】



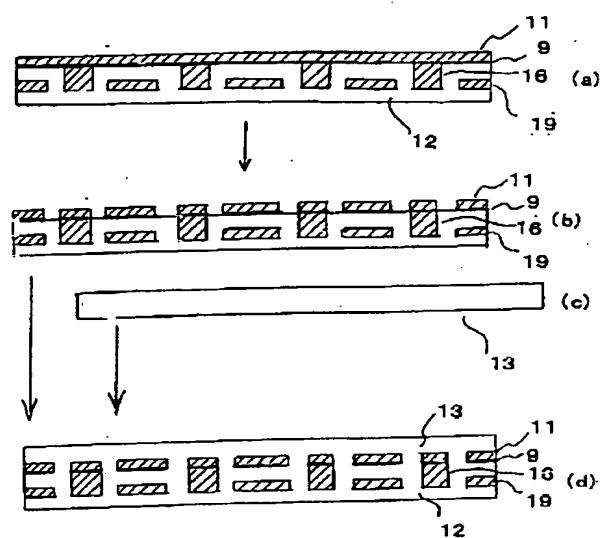
【図2】



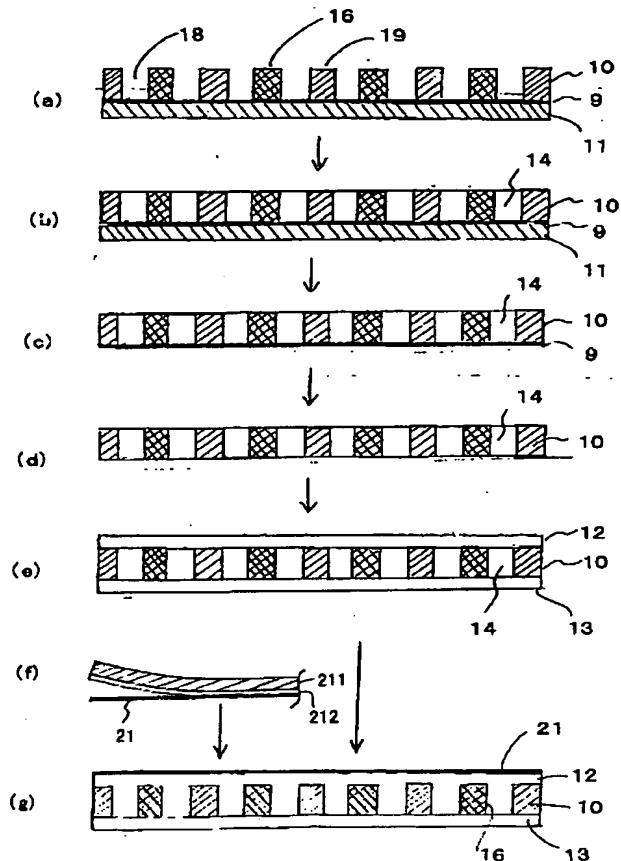
【図7】



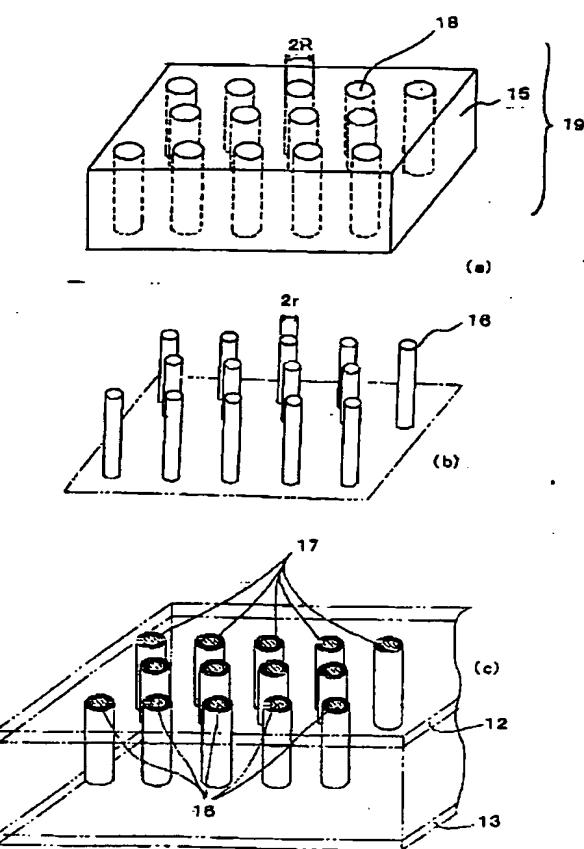
【図8】



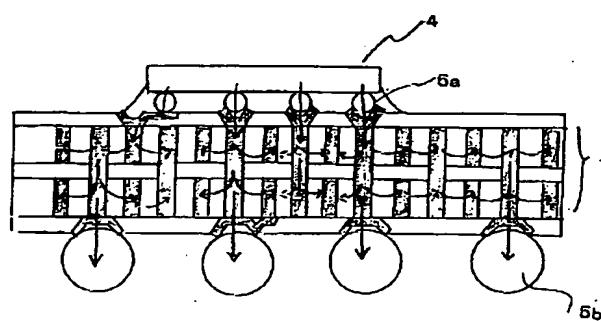
【図3】



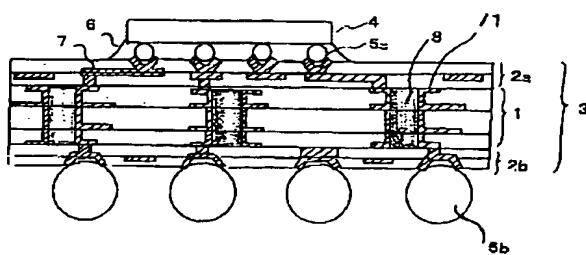
【図4】



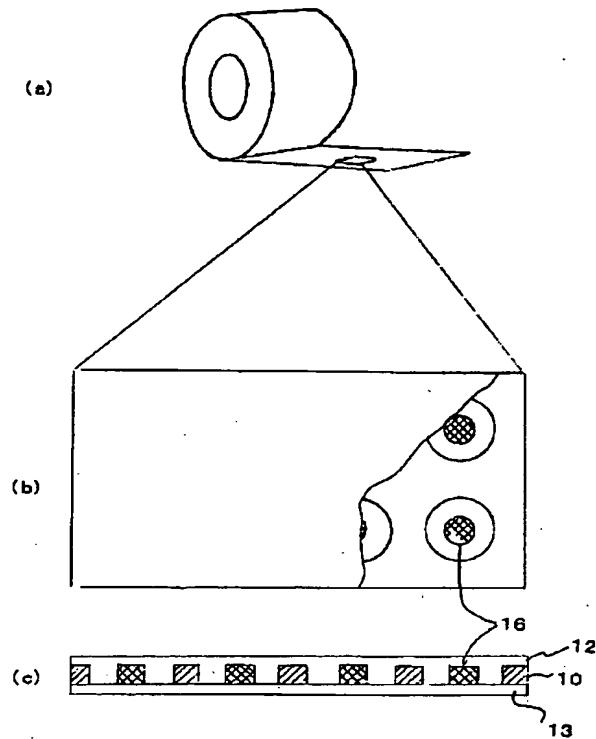
【図9】



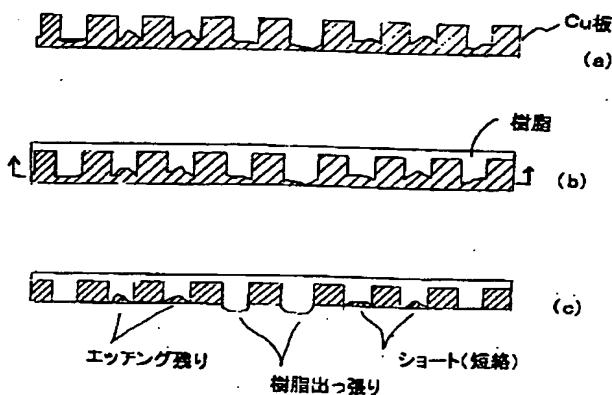
【図11】



【図10】



【図12】



【手続補正書】

【提出日】平成13年2月5日(2001.2.5)

【手続補正】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 板厚方向に複数の貫通孔を有する低熱膨張係数の熱・電気伝導性板と、該複数の貫通孔を有する低熱膨張係数の熱・電気伝導性板と異なる材質からなり前記貫通孔内に設けられた島状に孤立した複数の熱・電気伝導性ポストと、該複数の熱・電気伝導性ポストの外周に設けられ、前記低熱膨張係数の熱・電気伝導性板との間に介在して、前記複数の熱・電気伝導性ポストを電気的に絶縁する絶縁材と、前記低熱膨張係数の熱・電気伝導性板の両主面に接合された絶縁板と、前記絶縁板の一方または両方の主面上に設けられた厚み18μm以下の極薄銅箔層からなることを特徴とするビルトアップコア基板。

【請求項2】 前記複数の熱・電気伝導性ポストがCuまたはCu合金であり、前記複数の貫通孔を有する熱・電気伝導性板がFe-Ni合金である請求項1記載のビ

ルドアップコア基板。

【請求項3】 前記複数の熱・電気伝導性ポストの直径が、0.01~0.2mm、ピッチが0.1~1.0mmであることを特徴とする請求項1記載のビルトアップコア基板。

【請求項4】 前記絶縁材が、ガラス繊維強化エポキシ樹脂、ガラス繊維強化ビスマレイミド・トリアジン(BT)樹脂、またはポリエーテル・サルファン(PES)配合エポキシ樹脂、ポリイミド樹脂、ポリアミドイミド樹脂のうちのいずれかであることを特徴とする請求項1記載のビルトアップコア基板。

【請求項5】 前記複数の熱・電気伝導性ポストの外周に、絶縁材と孔明き板を具備することを特徴とした請求項1記載のビルトアップコア基板。

【請求項6】 請求項1記載のビルトアップコア基板と、該ビルトアップコア基板の両主面に形成されるビルトアップ層を備えたビルトアップ配線基板。

【請求項7】 下記の工程でなることを特徴とするビルトアップコア基板の製造方法。

(1) バリヤ層の一方の主面にポスト形成層を、他方の主面にキャリヤ層を接合する。

(2) 前記ポスト形成層に、所定の領域を除去するマス

クを載置する。

(3) 前記所定の領域を、エッチングにより、前記バリヤ層に達するまで除去して、熱・電気伝導性ポストが複数個、林立する第1のパターンエッチング品を作る。

(4) 第1のパターンエッチング品と、孔明き板とを組合せる。

(5) 前記第1のパターンエッチング品と前記孔明き板にCuメッキや粗化処理をする。

(6) その後、絶縁板を積層し、加熱加圧して第1積層品を作る。

(7) 該第1積層品から前記キャリヤ層を除去する。

(8) 更に前記バリヤ層を除去して第2積層品を得る。

(9) 該第2積層品と絶縁板を積層する。

(10) 前記絶縁板の一方または両方の主面上に厚み18μm以下の極薄銅箔層を積層してビルドアップコア基板を製造する。

【請求項8】 下記の工程でなることを特徴とするビルドアップコア基板の製造方法。

(1) バリヤ層の一方の主面上にポスト形成層を、他方の主面上にキャリヤ層を接合する。

(2) 前記ポスト形成層に、所定の領域を除去するマスクを載置する。

(3) 前記所定の領域を、エッチングにより、前記バリヤ層に達するまで除去して、熱・電気伝導性ポストが複数個、林立する第1のパターンエッチング品を作る。

(4) 該第1のパターンエッチング品と孔明き板とを組合せて空洞部を有する組立品を得る。

(5) 前記第1のパターンエッチング品と前記孔明き板にCuメッキや粗化処理をする。

(6) 前記空洞部にスクリーンプリント法で樹脂を充填する。

(7) 前記キャリヤ層をエッチング除去する。

(8) 更に前記バリヤ層をエッチング除去する。

(9) 次いで正面両側から絶縁板を積層する。

(10) 前記絶縁板の一方または両方の主面上に厚み18μm以下の極薄銅箔層を設けてビルドアップコア基板を製造する。

【請求項9】 前記極薄銅箔の厚みが5μm以下であることを特徴とする請求項1記載のビルドアップコア基板。

【請求項10】 前記極薄銅箔の厚みが5μm以下であることを特徴とする請求項7または8記載のビルドアップコア基板の製造方法。

フロントページの続き

(51) Int.C1.7	識別記号
H 0 1 L	23/12
H 0 5 K	1/05
	1/11
	3/40
	3/44

F I	(参考)
H 0 1 L	23/12
H 0 5 K	1/05
	1/11
	3/40
	3/44

F ターム(参考) 5E315 AA05 AA11 BB05 BB14 BB18
 CC16 CC21 DD16 DD17 DD20
 GG01 GG07 GG20
 5E317 AA24 BB01 BB12 BB18 CC60
 CD21 CD25 CD27 CD32 GG01
 GG11 GG16
 5E346 AA02 AA04 AA12 AA15 AA29
 AA32 AA42 AA43 CC04 CC09
 CC32 DD16 DD23 DD24 DD32
 EE09 EE13 EE19 FF01 FF27
 GG15 GG22 HH11 HH17 HH31